INTERLEAVING CIRCUIT

Patent number:

JP61260468

Publication date:

1986-11-18

Inventor: **Applicant:** TAKAGI YUJI; others: 02

MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: G11B20/12

- european:

Application number:

JP19850101823 19850514

Priority number(s):

Abstract of **JP61260468**

PURPOSE: To minimize the degradation of the error correcting capability of a product code by writing the product code in memory areas arranged in a matrix and reading out demodulated data from them by the first address generating means and reading out the product code and writing demodulated data by the second address generating means. CONSTITUTION: The address of a memory area in the i-th row and the j-th column out of (nXm)number of storage areas arranged in a matrix is defined as (Ri, Cj), and a means which writes the product code in memory areas by the first address generating means generating the first address sequence expressed with a formula 1 and reads out memory areas by the second address generating means generating the second address sequence expressed with a formula 2 and performs interleaving and a means which writes demodulated data in memory areas by the second address generating means and reads out them by the first address generating means and performs de-interleaving are provided. Thus, the degradation of the error correcting capability of the product code is minimized even if the modulating system causing erroneous propagation is used.

Data supplied from the esp@cenet database - Worldwide



EP0202571 (A2) US4742517 (A1) EP0202571 (A3)

EP0202571 (B1)

⑩ 日本国特許庁(JP)

⑪特許出願公開

⑫ 公 開 特 許 公 報 (A)

昭61-260468

@Int.Cl.⁴

識別記号

庁内整理番号

❸公開 昭和61年(1986)11月18日

G 11 B 20/12

8524-5D

審査請求 未請求 発明の数 1 (全16頁)

❷発明の名称 インターリーブ回路

②特 願 昭60-101823

②出 願 昭60(1985)5月14日

百 門真市大字門真1006番地 松下電器產業株式会社内 73発 明 者 木 裕 高 門真市大字門真1006番地 松下電器產業株式会社内 ⑫発 明 者 佐 煎 門真市大字門真1006番地 松下電器産業株式会社内 明 者 杉 村 立 夫 ⑦発 門真市大字門真1006番地 松下電器産業株式会社 砂出 顖 人

70代 理 人 弁理士 中尾 敏男 外1名

明 細 會

1、発明の名称

インターリープ回路

2、特許請求の範囲

(1) $(m \times n)$ の行列状に配置された記憶領域と、前記記憶領域の第1行、第1列のアドレスを (R_i,C_j) とする時、以下の第1のアドレスシーケンス:

$$(R_1,C_1),(R_2,C_1),(R_3,C_1),.....,(R_m,C_1),$$
 $(R_1,C_2),(R_2,C_2),(R_3,C_2),.....,(R_m,C_2),$
 \vdots

 $(R_1,C_n),(R_2,C_n),(R_3,C_n),....,(R_m,C_n)$

を発生する第1のアドレス発生手段と、以下の第 2のアドレスシーケンス:

特開昭 61-260468 (2)

を発生する第2のアドレス発生手段と、符号長血の第1の符号と、符号長血の第2の符号により構成された積符号を前記第1のアドレス発生手段により前記記憶領域に書込み、前記第2のアドレス 発生手段により、インターリープを行う段とより前記記憶領域に書込み、前記第1のアドレス 発生手段により前記記憶領域に書込み、前記第1のアドレス 発生手段により前記記憶領域に書込み、前記第1のアドレス 発生手段により再生データとして送出するとれるとを特徴とするインターリープ回路。

(2) (m×n)の行列状に配置された記憶領域の列 アドレスを、相異なるガロア体の各エレメント a₁,a₂,.....,a_L

∕ ただし、α₁,α₂,.....,αℓ の周期をL₁,L₂, Lℓとする時、α=L₁×L₂×.....×Lℓ, 、L₁,L₂,.....,Lℓ は互いに素

を独立変数とし、各ガロア体からの非ゼロ元のエレメントの組み合わせにより定義するとき、第1のアドレス発生手段および第2のアドレス発生手

の生成規則により生成することを特徴とする特許 請求の範囲第2項記載のインターリープ回路。

(4) (m×n)の行列状に配置された記憶領域の列 アドレスを、相異なるガロア体の各エレメント a₁,a₂,.....,a_L

~ ただし、α1,α2,…….α2の周期をL₁,L₂, ……, L₂とする時、α=L₁×L₂×……×L₂+1, 、L₁,L₂,……,L₄は互いに素

を独立変数とし、各ガロア体からの非ゼロ元のエレメントの組み合わせと、すべてがゼロ元である組み合わせにより定義するとき、第1のアドレス発生手段は前記ガロア体の乗算により列アドレスを発生する手段を有することを特徴とする特許請求の範囲第1項配数のインターリープ回路。

(6) 第2のアドレス発生手段は、第2のアドレス シーケンスの列アドレスを

段は前記ガロア体の乗算により列アドレスを発生 する特許請求の範囲第1項記載のインターリープ 回路。

(3) 第2のアドレス発生手段は、第2のアドレス シーケンスの列アドレスを

$$\begin{array}{c} C_{J_1(k)} = (a_1^{h_1(1)k}, a_2^{h_2(1)k}, \cdots, a_L^{h_L(1)k}) : (k-1, 2, \cdots, n) \\ \\ C_{J_2(k)} = (a_1^{h_1(2)k}, a_2^{h_2(2)k}, \cdots, a_L^{h_L(2)k}) : (k-1, 2, \cdots, n) \\ \vdots \\ \vdots \end{array}$$

$${\rm C}_{{\rm I}_{\rm m}(k)} = (\,\alpha_1^{\rm h}\,_1^{({\rm m})k}\,,\,\alpha_2^{\rm h}\,_2^{({\rm m})k}\,,\cdots,\,\alpha_{\mathcal{L}}^{\rm h}\ell^{({\rm m})\,k}\,)\;;\,(\,k=1\,\,,\,2\,,\cdots,\,n\,\,)$$

ただし、
$$h_1(m_i)$$
は L_1 と互いだ素 $(m_1=1,2,\cdots,m)$ $h_2(m_i)$ は L_2 と互いだ素 $(m_1=1,2,\cdots,m)$ …… $h_{\ell}(m_1)$ は L_{ℓ} と互いだ素 $(m_1=1,2,\cdots,m)$ であり、また m_1,m_2 \in $(1,2,\cdots,m)$ 、 m_1 \neq m_2 だ対し、 $(h_1(m_1),h_2(m_1),\cdots,h_{\ell}(m_1))$ \neq $(h_1(m_2),h_2(m_2),\cdots,h_{\ell}(m_2))$

$$C_{J_{2}(k)} = (a_{1}^{h_{1}(2)k}, a_{2}^{h_{2}(2)k}, \dots, a_{\ell}^{h_{\ell}(2)k}) : (k=2,3,\dots,n)$$

$$C_{J_{\underline{m}}[k]} = (a_1^{h_1(\underline{m})k}, a_2^{h_2(\underline{m})k}, \dots, a_L^{h_L(\underline{m})k}) ; (k=2,3,\dots,n)$$

$$(h_1(m_1), h_2(m_1), \dots, h_{\ell}(m_1)) \neq (h_1(m_2), h_1(m_2), \dots, h_{\ell}(m_2))$$

の生成規則により生成することを特徴とする特許 請求の範囲第4項記載のインターリープ回路。

3、発明の詳細な説明

産業上の利用分野

本発明は光ディスクファイル等の情報記録再生 装置に用いられる積符号の符号,復号装置に密接 な関係のあるインターリープ回路に関するもので ある。

従来の技術

第11図は積符号構成原理図を示すものであり、 33は符号長皿の第1の符号、34は符号長皿の

記録時には、記憶領域に

$$S_{11}, S_{21}, S_{31}, \dots, S_{m1},$$
 $S_{12}, S_{22}, S_{32}, \dots, S_{m2},$
 \vdots

の順に記録し、次に

の順に読み出すととにより、インターリーブを行 ない、再生時には、記憶領域に

Sm1 , Sm2 , Sm3 , , Smn

第2の符号、36は情報データ、36はチェック データである。また第12図は情報記録再生装置 の一般的な構成を示すものであり、37は積符号 の符号回路、38は積符号の復合回路、39はイ ンターリープ回路、40は変調回路、41は復調 回路である。

以上の様に構成された情報記録再生装置に於て、 記録時符号回路37により積符号化された符号データではインターリープ回路39に送られ、インターリープの後、記録データとして変調回路4〇 に送られ、変調の後、記録される。一方、再生時には、再生データ45は、復調回路41によって復調の後、インターリープ回路39により、デ・インターリープされ、復号データ8として復写回路38に入力され、誤り訂正操作の後、訂正データ43として出力される。

従来、積符号を使った情報記録再生装置のイン ターリープ回路に於ては、最大距離のインターリ ーブが用いられている。すなわち、第11 図に於 て、第1行,第1列のシンボルをSii とすると、

の順に記録し、次に

の順に読み出すことにより、デ・インターリープ を行っている。

次に積符号の復号回路について述べる。積符号のような二つ以上の構成要素を有する符号にいかかけるうととが必要である。たとえば、二つの符号により構成された積符号においては、第1の存 成要素の符号の復号を行い、必要というは、2の構成要素の符号の復号を行い、必要というは、1の構成要素の符号の復号にもどうように、このような復号操作の繰り返しが必要となる。したがって、積符号の復号においては個々の

構成要素の符号の復号は比較的簡単であるが、それらの復号を有機的に結びつけるアルゴリズムが複雑となり、一般的なアルゴリズムは与えられていない。しかしながら積符号の一つである最小距離 2 、および最小距離 t の二つの符号により構成される最小距離 2 t の積符号の復号方法については、 特顧昭 5 8 - 2 2 3 8 0 1 号 (杉村他)によって、 理論限界である (t-1) ジンボル以下の誤り訂正、 および、 t シンボル誤り検出のアルゴリズムが示されている。(以降、この特許を杉村の特許と呼ぶ。)

本発明のインターリープ回路は、いかなる積符 号の符号、及び復号回路にも適用できるものであるが、以後、説明上、復号回路を杉村の特許のア ルゴリズムに従って説明を行う。

杉村の特許によれば、符号長m,最小距離 tの 第1の符号と、パリティチェックサムにより構成 された符号長m,最小距離2の第2の符号によっ て構成される最小距離2 tの積符号の復号におい て、まず最初に第1の符号の復号動作を行い、と

分類する。まず誤り個数フラグ F_i を誤り個数毎にカウントする。ここで誤り個数フラグ F_i の生起した個数を C_i とすると次式のようになる。

$$\begin{bmatrix} \frac{t+1}{2} \end{bmatrix}$$

$$\sum_{i=0}^{F} C_i = n$$

以下、統計処理、及びその後の処理の手順を説明 する。いまCi の添字のiが大きなものより高い 便先順位をつける。そして次に示すような復号モードに分類する。

(i) 復号モード1

C [<u>t+1</u>] ≥ 2 すなわち餌り検出を 2 回以上行

った場合

(ii) 復号モード2

非常の最も優先順位の高いC」が1の場合

(iii) 復号モード3

上記二つのモード以外の場合

とれら三つの復号モードにおいて、第2の符号を 用いた誤り訂正操作または誤り検出操作は次のよ の第 1 の符号の復号操作の過程から誤り個数フラグが生成される。すなわち、最小距離 t の第 1 の符号においては、 $\lfloor \frac{t-1}{2} \rfloor$ 個以下の誤り訂正および $\lfloor \frac{t+1}{2} \rfloor$ 個以上の誤り検出が行なえる。ただし

LE」 は x を越えない最大の整数を示す。第1の 符号の復号操作の過程において、次のような誤り 個数フラグF₁ を各場合に応じどれか一つたてる。

・餌りなし : P_O

・一重額り訂正 : F₁

· 1-1 重額り訂正 : F 1-1

・誤り検出 : F <u>[t+1</u>]

もし、第一の符号の訂正能力を越えた誤りが生起 した場合には、誤り訂正不能で $\mathbb{F}\left[\frac{t+1}{t+1}\right]$ が立つか、

関った「重観り訂正を実行しド」が立つかは不定である。以上のように「個の第一の符号の復号を行う。次に上記の「個の誤り個数フラグの統計処理をして、その結果により、3つの復号モードに

うに行う。

(a) 復号モード1

無条件に訂正不能の誤りを検出したことをア サートする。

(b) 復号モード2

非零の最も優先順位の高いCiを1とした與り個数フラグFiが生起した第1の符号の列にポインタを立てる。そして再生系列の第2の符号におけるチェックサムをとり、ポインタの立った列に排他的論理和で加える。もしくはポインタの立った列を除いて第2の符号のチェックサムをとり、ポインタの立った列をそのチェックサムと置き換える。

(c) 復号モード3

再生系列の第1の符号におけるチェックサム をとる。

び チェックサムが零の場合 誤りなし

(イ) チェックサムが非常の場合 訂正不能の誤りを検出したことをアサート する。

以上説明した杉村の特許のアルゴリズムに従って 積符号を復号することにより、最小距離2tの積 符号において、(t-1)シンポル以下の誤り訂正、 およびtシンポル誤り検出が可能となる。

以上説明した、積符号の復号のより具体的な例を次に述べる。

第13図は、符号長15,最小距離8の第1の符号と、チェックサムをとることにより構成された符号長108,最小距離2の第2の符号よりなる最小距離12の積符号の符号構成図である。

本例の積符号を前記杉村の復号アルゴリズムにより復号を行う場合を以下に述べる。

まず最初に第1の符号46の復号を行う。第1 の符号は最小距離6であるので、2個以下の誤り 訂正,3個誤り検出が可能である。従って、第1 の符号46の復号過程において、以下の誤り個数 フラグF: がたてられる。

・餌りなし : Fo

・一重誤り訂正: F4

26(ii),27(ii),29(v)

復号モード1の場合は、無条件に訂正不能の餌りを検出したことをアサートする。復号モード2に類別された場合には、第2の符号47の復号によりすべて訂正されうる。また、復号モード3に類別された場合、2の(ii)、27(i)、29(v)の場合は、チェックサムの検証により訂正不能の餌りを検出したことをアサートし、それ以外の場合はすべて訂正を行う。以上の様に、杉村のアルゴリズムに従えい長い距離12の積符号の理論限界である6、重額り訂正、6重額り検出が行える。

更に、通常用いられる、最大距離分離のインターリープ方式の使用により、本例に於ては、インターリープ深さが106であるので、最大213シンポル長のパースト状の誤り訂正を行うことができる。

発明が解決しようとする問題点

近年、CD, DAT等のディジタルオーディオ、 また、光ディスクファイル等の情報記録再生装置 には、情報の大容量化のため高密度な記録方式が 二重誤り訂正: F₂・三重誤り検出: F₃

ことで第14図において8シンボル以下のすべての誤りパターンを示す。第14図においては積符号全体に生起した誤りの個数。と第1の符号48における誤りの個数により場合(CASE)を分類している。そして第1の符号48の復号において生成される誤り個数フラグを各場合の下に示す。(ただしFO は配していない。)

これらの場合を復号モードに分類すると次のよ うになる。

(a) 復号モード1

28

(b) 復号モード2

2, 4, 6, 7, 9, 10, 11(i), 11(i), 13, 14, 16(i), 16(i), 17, 18(i), 18(ii), 18(ii), 20, 21, 23(i), 23(ii), 24, 26(i), 26(i), 27(i), 29(i), 29(ii), 29(ii)

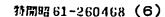
(c) 復号モード3

1,3,5,8,12,15,19,22,25,

用いられることが盛んになって来ている。例えば、MFMや、%RLCや(2,7)RLC等が知られている。しかしながら、%RLCや(2,7)RLC等の一部の高密度記録方式は、伝送路上、あるいは配録媒体上の1 bit の餌りが復調後には1 bit 以上の餌りとなる。すなわち餌り伝播の性質を示すととが知られている。

例えば、米国特許 4,1 15,7 68 に記載の ENCODER 及び DECODER に従う (2,7)RLC に於ては変調後のデータ8 bit に対して DECODING 操作を行っている。 このため変調後のデータ1bit の関りが、復調時には2 bit 或いはそれ以上の bit 関りが付加された状態で復調される。

第16図は、積符号を従来の最大距離分離のインターリーブ回路によりインターリーブを行い、 前記誤り伝播特性を示す変調方式による変調の後、 記録, 伝送を行った場合に記録媒体上や伝送路上 の1bit 誤りの復調後の誤り伝播の状態を示す図 である。第15図に於て×印は記録媒体上或いは 伝送路上の誤りによって直接に発生するシンポル



誤り、A印は誤り伝播によるシンポル誤りを表す。 第15図に示す様に、従来のインターリープ回路 を用いた積符号に於ては、誤りの伝播はその隣接 した次の列のシンポルに発生する。このため同一 の列に複数の餌りが発生し、更に各餌りが餌り伝 播した場合、前記複数の誤りがそれぞれ次の列に 伝播されるため複数の伝播による餌りが同一の列 に並び積符号の餌り訂正能力が大幅に減少すると いう問題点を有していた。

例えば、前記第13図の積符号を前記杉村の特 許のアルゴリズムを用いて復号を行う場合、最小 距離12の積符号の理論限界である5重誤り訂正, 6 重誤り検出が行える。しかしながら、この積符 号を従来の最大距離分離のインターリープ回路を 用いてインターリープを行った場合に誤り伝播が 発生すると、記録媒体、或いは伝送路に於ける誤 りが3個発生すると訂正不能になることがある。 すなわち最小距離12の積符号にもかかわらず、 **名重誤り訂正、3重誤り検出の訂正能力を持つに** すぎなくなる。第16図に3シンポル以下の誤り

号モード3に類別された場合はすべて訂正が行な われる。

以上の様に積符号を従来の最大距離分離のイン ターリープ回路を用いて記録、或いは伝送を行っ た場合に、変調方式が誤り伝播特性を示すもので ある時、この積符号の餌り訂正能力が、実質的に 大幅に波少するといり問題点を有していた。

本発明はかかる点に鑑み、誤り伝播の影響を少 なくし、積符号の餌り訂正能力の低下を最小限に おさえるためのインターリープ回路を提供すると とを目的とする。

問題点を解決するための手段

本発明は(m×n)の行列状に配置された記憶 領域と、前記記憶領域の第1行, 第1列のアドレ スを (Ri,Ci)とするとき、以下の第1のアドレ スシーケンス:

が発生した場合のすべての餌りパターンを示す。 第18図に於ては能では能での誤りが2シンポル 誤りに誤り伝播した場合を示し、積符号全体に生 起した本来の餌りの個数 8 と、第1 の符号 4 8 亿 おける誤り伝播による誤りを含めた誤りの個数に より場合(case)を分類している。そして第1の 符号4.6の復号において生成される誤り個数フラ グを各場合の下に示す。(ただし の は記してい ない。)また、記録媒体、或いは伝送路上の本来 の誤りを×印、誤り伝播による誤りを△印で表す。 これらの場合を復号モードに分類すると次のよ

りになる。

- (a) 復号モード1 1 0
- (b) 復号モード2 4, 7, 9
- (c) 復号モード3

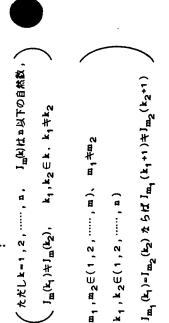
スシーケンス:

1, 2, 3, 5, 6, 8 復号モード1の場合は、無条件に訂正不能の誤りを

を発生する第1のアドレス発生手段により、積符 母を前記記憶領域に書込み、以下の第2のアドレ

検出したことをアサートする。復号モード2と復

(以下余白)



ただし、

=O, β⁵+β+1=O としたときのエレメントの表 現を表1,表2に示す。

(R,,C,1,(k)

ただしょョ1,2,.....,ロ, 1,以はロ以下の自然数。

k1, k2 ∈ k, k1 ±k2

1, (4,) +1, (2),

(R, CJ,(k))

12年1年1日本の自然数

ただしk=1,2,...., n,

ki, k2 Ek, ki tk2

 $I_2(k_1) \neq I_2(k_2),$

(R2,CJ2(k))

本実施例は符号長15の第1の符号と符号長 106の第2の符号より構成される積符号のイン ターリープ回路である。第1図は(15×106) の行列状の記憶領域を表し、0~1 4の行アドレ スと、αの周期 La=15 とβの周期 La=7 が互い に素の関係にあるので15×7=105 種類の GF(2⁴)とGF(2³)の非常のエレメントの組合せ と(ロ,ロ)を加えた計106の列アドレスとで 15×106=1590 のアドレス空間が構成されてい る。各記憶領域内の1~1590の数字は第1のア ドレスシーケンスにより指定される記憶領域の順 序を褒している。以下にアドレスを(行アドレス, 列アドレス(a),列アドレス(b))と表したときの第 1のアドレスシーケンスを示す。

$$(0,0,0),(1,0,0),(2,0,0),\cdots,(14,0,0),$$

 $(0,\alpha,\beta),(1,\alpha,\beta),(2,\alpha,\beta),\cdots,(14,\alpha,\beta),$
 $(0,\alpha^2,\beta^2),(1,\alpha^2,\beta^2),(2,\alpha^2,\beta^2),\cdots,(14,\alpha^2,\beta^2),$
 $(0,\alpha^3,\beta^3),(1,\alpha^5,\beta^3),(2,\alpha^3,\beta^5),\cdots,(14,\alpha^5,\beta^3),$

を発生する第2のアドレス発生手段により、前記 記憶領域を読出すことによりインターリープを行 う手段と、復調データを前配第2のアドレス発生 手段により前記記憶領域に書込み、前記第1のア ドレス発生手段により読出しを行うことによりデ ・インターリープを行う手段とを有するインター リープ回路である。

ľΈ

本発明は前配した構成により、積符号に於て、 同一の列のシンポルに複数の誤りが発生し、更に 各限り伝播した場合、前記複数の誤りがそれぞれ 相異る列のシンポルに誤り伝播されるため、誤り 伝播による積符号の誤り訂正能力の低下を最小限 に防ぐことができる。

実 施 例

Ę

内対して

第1図は本発明の実施例におけるインターリー プ回路の第1のアドレスシーケンスを説明する記 憶領域図である。第1図に於て、a, Bはそれぞ $hGF(2^4)$, $GF(2^3)$ のエレメントであり、各 々の周期は La =15, Lg=7 となる。 a 4 + a + 1

 $(0, a^{14}, \beta^6), (1, a^{14}, \beta^6), (2, a^{14}, \beta^6), \dots, (14, a^{14}, \beta^6),$ (0,1,1),(1,1,1),(2,1,1),.....,(14,1,1)

第2図は本発明の実施例におけるインターリー プ回路の第2のアドレスシーケンスを説明する記 憶領域図である。各記憶領域内の1~1590の 数字は第2のアドレスシーケンスにより指定され る記憶領域の順序を表している。以下にアドレス を(行アドレス,列アドレス(a),列アドレス(B)) と表したときの第2のアドレスシーケンスを示す。 $(0,0,0),(0,\alpha,\beta),(0,\alpha^2,\beta^2),\cdots,(0,1,1),$ $(1,0,0),(1,\alpha,\beta^2),(1,\alpha^2,\beta^4),\dots,(1,1,1),$ $(2,0,0),(2,\alpha,\beta^3),(2,\alpha^2,\beta^6),\dots,(2,1,1),$ $(3,0,0),(3,\alpha,\beta^4),(3,\alpha^2,\beta),....,(3,1,1),$ $(4,0,0),(4,\alpha,\beta^5),(4,\alpha^2,\beta^5),\dots,(4,1,1),$ $(5,0,0),(5,\alpha^2,\beta),(5,\alpha^4,\beta^2),\dots,(5,1,1),$ $(6,0,0),(6,\alpha^2,\beta^2),(6,\alpha^4,\beta^4),.....,(6,1,1),$ $(7,0,0),(7,\alpha^2,\beta^5),(7,\alpha^4,\beta^6),\dots,(7,1,1),$ $(8,0,0),(8,\alpha^2,\beta^4),(8,\alpha^4,\beta),\cdots,(8,1,1),$

特開昭61-260468(8)

 $(9,0,0), (9,\alpha^2,\beta^5), (9,\alpha^4,\beta^5), \dots, (9,1,1),$ $(10,0,0), (10,\alpha^4,\beta), (10,\alpha^8,\beta^2), \dots, (10,1,1),$ $(11,0,0), (11,\alpha^4,\beta^2), (11,\alpha^8,\beta^4), \dots, (11,1,1),$ $(12,0,0), (12,\alpha^4,\beta^3), (12,\alpha^8,\beta^6), \dots, (12,1,1),$ $(13,0,0), (13,\alpha^4,\beta^4), (13,\alpha^8,\beta), \dots, (13,1,1),$ $(14,0,0), (14,\alpha^4,\beta^5), (14,\alpha^8,\beta^3), \dots, (14,1,1)$

以上、第2のアドレスシーケンスは行列状の記憶 領域の各行の先頭アドレスに第2図に示される乗 数 $\{(\alpha,\beta),(\alpha,\beta^2),(\alpha,\beta^3),.....,(\alpha^4,\beta^5)\}$ を 乗げることにより得られる。(但し、 $O\times \alpha^1=\alpha^1$, $O\times \beta^1=\beta^1$ を特別に定義したガロア体の乗算を行 なう。)

以上、本発明の実施例の第 1 のアドレスシーケンスと第 2 のアドレスシーケンスの一般形を第 1 番目のアドレスを A D R(j) = { 行アドレス, 列アドレス(a), 列アドレス(b) } とし、次に示す。

第 1 表

べき表現	ベクトル表現	べき表現	ベクトル表現
0	0000	a ⁷	1011
1	0001	a ⁸	0101
a	0010	a °	1010
a ²	0100	a 10	0111
a 3	1000	a 11	1 1 1 0
α ⁴	0011	a 12	1 1 1 1
a 5	0110	a 13	1 1 0 1
a 6	1100	a 14	1001

第 2 表

べき表現	~2	トル	表現	べき表現	~1	トル	费現
0	0	0	0	β 3	0	1	1
1	0	0	1	β4	1	1	0
β	0	1	0	β5	1	1	1
β ²	1	0	0	β6	1	0	1

ア) 第1のアドレスシーケンス

 $ADR(j) = \{ (j-1) \mod 15, 0, 0 \}; 1 \le j \le 15$

$$\{(j-1) \mod 15, \alpha^{\lfloor \frac{j-1}{15} \rfloor}, \beta^{\lfloor \frac{j-1}{15} \rfloor}\}$$

; 16≦j≦1590

イ) 第2のアドレスシーケンス

ADR(j)=
$$\{\lfloor \frac{j-1}{100} \rfloor$$
, 0, 0 \}; (j-1)mod 106=0

$$\left\{ L \frac{j-1}{108} J, \alpha^{2^{\frac{j-1}{550}} J} \times \left\{ (j-1) \mod 106 \right\}, \right\}$$

 $\beta^{(\lfloor \frac{j-1}{106} \rfloor \mod 5+1) \{(j-1) \mod 106\}}$

; (j - 1)mod 106±0

(但し、 Lj-」はj以下の最大の整数とする。)

第3図は本実施例のインターリープ回路のプロック図である。第3図に於て、1はインターリープコントローラー、2は記憶領域である。インターコントローラー1はインターリーブ時、符号デ

第4図はインターリープコントローラー1のブロック図である。11はコントローラー、12はアドレス発生器である。コントローラー11は、符号データで、復号データ8、記録データ9、復興データ10及び入出力バス6の各パスの切換え



とアドレス発生器に対するコントロールを行なり。 アドレス発生器12は第1、第2のアドレスシー ケンスに従ったアドレスを発生する。第6図にア ドレス発生器12を示す。

第5図に於て、1 4はGF(2⁴)においての二乗 演算を行う回路:SQR、15はGF(25)におい てβ倍の演算を行う回路 X β、16 は GF(2⁴) の 乗算回路(但し $O \times a^1 = a^1$ の特殊解を出力する。) MLT4、17はGF(2⁵)の乗算回路(但しO×βⁱ $=\beta^{i}$ の特殊解を出力する。) MLT3、18は4 bitの14進カウンター、19は4bit並列のD -F.F (但しリセット信号27によりa=(0,0,1. O) を出力する }、20は3 bit 並列のD-F.F {但しリセット信号26によりβ=(0,1,0)を 出力する)、21 は 4 bit 並列の D-F.F (但し リセット信号28により0=(0,0,0,0)を出力 する)、また22は3bit 並列のD-F.F (但し リセット信号28により0=(0,0,0)を出力する)、 23は前記19,20,21,22のD-F.Fの ロック29、30、31とりセット信号26、

乗数と行アドレスを変化させることにより得られる。第6図と第7図にそれぞれMLT3,17と X 8 1 5 の回路例を示す。MLT4,16,SQR 1 4 h それぞれ同様の構成で実現できる。

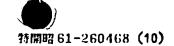
以上の様に構成された本実施例のインターリー プ回路は、同一列の互いに異るシンポルが誤った 場合に各々が互いに異る列のシンポルに誤り伝播 する。とのため誤り伝播による積符号の誤り訂正 能力の低下を最小限に押えることができる。例え ば、本実施例の積符号を従来の最大距離分離のイ ンターリープ回路を用いて前記杉村の特許のアル ゴリズムにより復号した場合に誤り伝播が発生し た時、前述のように2重誤り訂正、3重誤り検出 の訂正能力を示すにすぎないが、本実施例のイン ターリープ回路を用いて積符号を同様の杉村の特 許のアルゴリズムにより復号を行った場合に誤り 伝播が発生した時、4重額り訂正。5重額り検出 の訂正能力を保持するととができる。第8図に5 シンポル以下の額りが発生した場合のすべての額 りパターンを示す。第10図に於ては総ての誤り

27.28の制御を行うクロック生成回路である。 第1のアドレスシーケンスを発生する場合のクロ ック29,30,31,32と、リセット信号 26, 27, 28と、行アドレス3, 列(a)アドレ ス4.列(8)アドレス5と、乗数24,26のタイ ミングを第8図に示す。第1のアドレスシーケン スは乗数 (第5図の24, 25)をα, βに固定 する。行アドレス3はデータの転送速度に一致し たクロック32を入力する。また列アドレスのD -F.F21,22のクロック31は行アドレス3 が初期化(2)する時に入力する。以上のコントロー ル信号をクロック生成回路23が生成することに より、第1のアドレスシーケンスが得られる。第 9図に第2のアドレスシーケンスを発生する場合 のクロック29,30,31,32とリセット信 号26,27,28と行アドレス3,列(a)アドレ ス4,列印アドレス5と、乗数24,25のタイ ミングを示す。第2のアドレスシーケンスは、列 アドレスのD-F.F21,22のクロック31を データの転送速度に一致させ、各行が終るどとに

が2シンボル関りに関り伝播した場合を示し、積符号全体に生起した本来の関りの個数。と、第1の符号46に於ける関り伝播による関りを含めた関りの個数により場合(case)を分類している。そして第1の符号46の復号において生成される関り個数フラグを各場合の下に示す。(ただしFOは記していない。)また、記録媒体、或いは伝送路上の本来の関りを×印、関り伝播による関りを
ム印で表す。

これらの場合を復号モードに分類すると次のよ うになる。

- (a) 復号モード1 27,28,29
- (b) 復号モード2 4,6,8,10,14,15,16,17(i),17(ii), 19,23,24,25,26,30(i),30(ii),31(i), 32(i),33(i),33(ii)
- (c) 復号モード3 1,2,3,5,7,9,11,12,13,18, 20,21,22,31(ji),32(ji),33(jii)



復号モード1の場合は無条件に訂正不能の誤りを 検出したことをアサートする。復号モード2と復 号モード3に類別された場合はすべて正常に訂正 される。

以上の様に本実施例のインターリープ回路は GF(2⁵)とGF(2⁴)のエレメントの組合せを記憶 領域のアドレスとし、ガロア体上の演算を行うこ とによりアドレスを発生し、簡単な回路構成で誤 り伝播の影響の少いインターリープを行える。

なお、本実施例の説明に杉村の特許のアルゴリ ズムによる復号法を使用したが、本発明は積符号 の復号法にかかわらないものであることはいうま でもない。

発明の効果

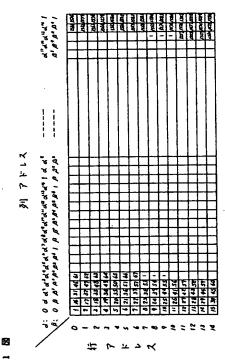
以上説明したように、本発明によれば、誤り伝播を起こす変調方式を用いた場合にも積符号の誤り訂正能力の低下を最小限に防ぐことのできるインターリープ回路を簡単な回路構成で実現でき、その実用的効果は大きい。

🧎 図面の簡単な説明

記憶領域、3……行アドレス、4……列(a)アドレス、5……列(f)アドレス、11……コントローラー、12……アドレス発生器、16……MLT4、17……MLT3、18……14進カウンター、23……クロック生成回路、33……第1の符号、34……第2の符号、39……インターリーブ回路、46……第1の符号、47……第2の符号。代理人の氏名 弁理士 中 尾 敏 男 ほか1名

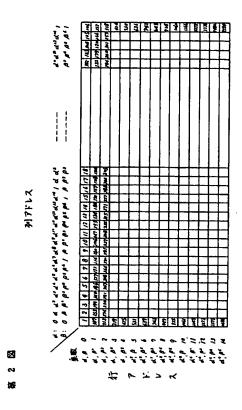
第1図は本発明における一実施例のインターリ -プ同路の第1のアドレスシーケンスを説明する 記憶領域図、第2図は同実施例の第2のアドレス シーケンスを説明する記憶領域図、第3図、第4 図,第5図は同実施例のプロック図、第6図は MLT3の詳細回路図、第7図はX8の詳細回路 図、第8図。第9図は同実施例の動作波形図、第 10図は同実施例の効果を脱明するための誤りパ ターン図、第11図は一般の積符号の符号原理図、 第12図は本発明のインターリープ回路が用いら れる情報記録媒体の一般的を構成を示すプロック 図、第13図は前記実施例と従来例のインターリ - プ回路に用いられる積符号の符号原理図、第14 図は積符号の復号例を説明する誤りパターン図、 第15図は従来のインターリープ回路を用いた時 の誤り伝播の様子を説明する記憶領域図、第16 図は従来のインターリープ回路を用い誤り伝播が 発生した時の積符号の復号例を説明する誤りパタ - ン図である。

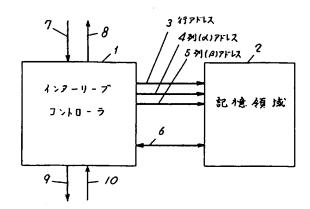
1 ……インターリープコントローラー、2 ……



域

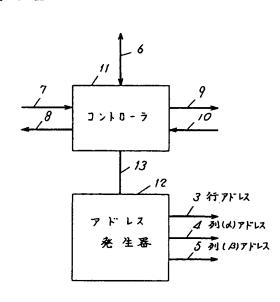
特開昭 61-260468 (11)

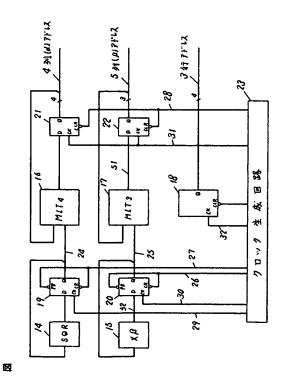


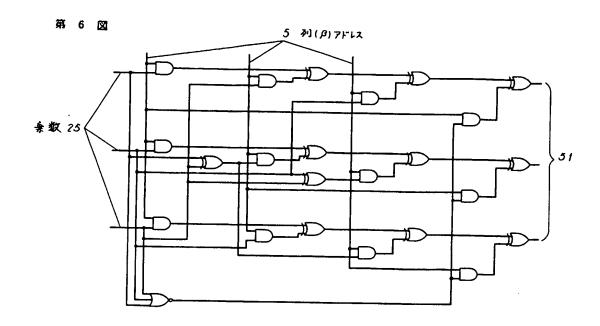


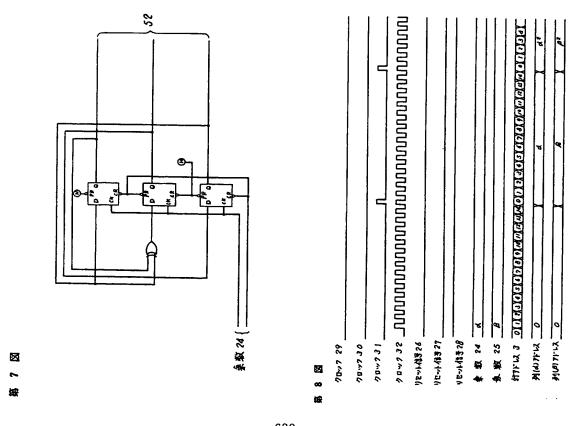
第 3 図

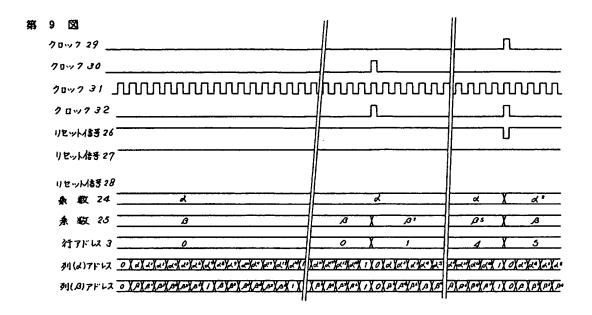
第 4 図

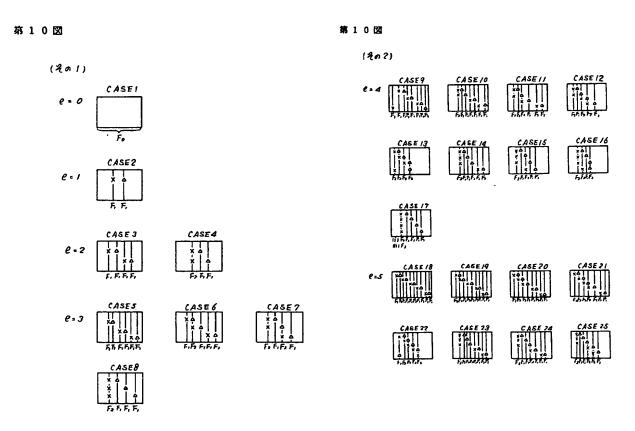








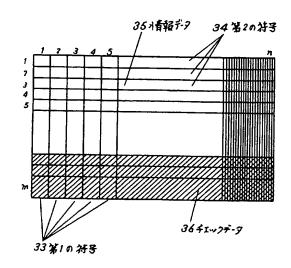


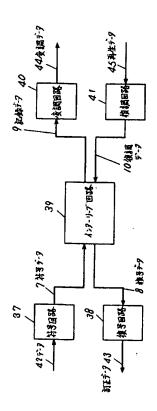




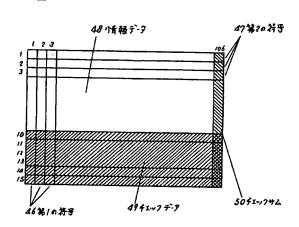
第10図

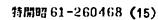
第11図







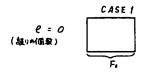


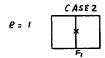


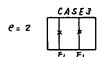


第14図

(201)



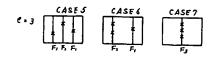


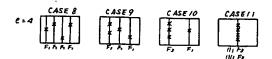


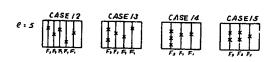


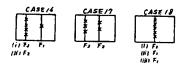
第14図

(402)



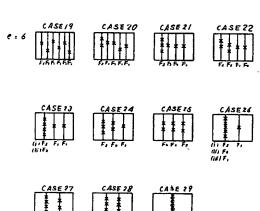




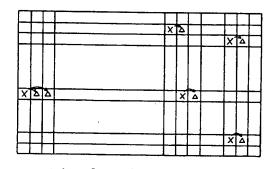


第 1 4 図

(203)



第 1 5 図

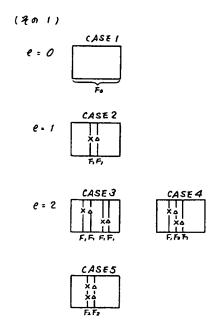


X 印:實際の設り

△印:誤り伝播による誤り



第16図



第16図

